

"Express Mail" mailing label number EV 327 137 116 US

Date of Deposit 10/2/08

Our File No. 9281-4681

Client Reference No. S US02172

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of: )  
Kazuhiko Ueda )  
Serial No. To Be Assigned )  
Filing Date: Herewith )  
For: Thin-Film Capacitor Element With )  
Reduced Inductance Component )

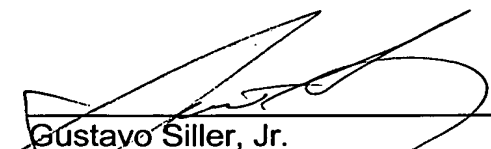
**SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT**

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Transmitted herewith is a certified copy of priority document Japanese Patent Application No. 2002-312813 filed on October 28, 2002 for the above-named U.S. application.

Respectfully submitted,

  
Gustavo Siller, Jr.  
Registration No. 32,305  
Attorney for Applicant  
Customer Number 00757

BRINKS HOFER GILSON & LIONE  
P.O. BOX 10395  
CHICAGO, ILLINOIS 60610  
(312) 321-4200

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 0 月 2 8 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 2 - 3 1 2 8 1 3  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 2 - 3 1 2 8 1 3 ]

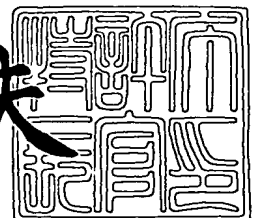
出      願      人                      アルプス電気株式会社  
Applicant(s):



2 0 0 3 年    8 月 1 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 6 5 8 5 5

【書類名】 特許願

【整理番号】 A7042

【提出日】 平成14年10月28日

【あて先】 特許庁長官殿

【国際特許分類】 H05K 1/16

【発明の名称】 薄膜キャパシタ素子

【請求項の数】 3

【発明者】

【住所又は居所】 東京都大田区雪谷大塚町 1 番 7 号 アルプス電気株式会社  
社内

【氏名】 植田 和彦

【特許出願人】

【識別番号】 000010098

【氏名又は名称】 アルプス電気株式会社

【代理人】

【識別番号】 100078134

【弁理士】

【氏名又は名称】 武 顕次郎

【電話番号】 03-3591-8550

【選任した代理人】

【識別番号】 100093492

【弁理士】

【氏名又は名称】 鈴木 市郎

【選任した代理人】

【識別番号】 100087354

【弁理士】

【氏名又は名称】 市村 裕宏

## 【選任した代理人】

【識別番号】 100099520

【弁理士】

【氏名又は名称】 小林 一夫

## 【手数料の表示】

【予納台帳番号】 006770

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0010414

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜キャパシタ素子

【特許請求の範囲】

【請求項 1】 内部に導電材が充填されたビアホールを有する絶縁性基板と、この絶縁性基板上に順次積層された下部電極と誘電体層および上部電極とを備え、前記下部電極と上部電極のいずれか一方を前記導電材の端面に接続すると共に、前記誘電体層を前記ビアホールを包囲するように環状に形成したことを特徴とする薄膜キャパシタ素子。

【請求項 2】 請求項 1 の記載において、前記誘電体層を前記ビアホールを中心とする円環状に形成したことを特徴とする薄膜キャパシタ素子。

【請求項 3】 請求項 1 または 2 の記載において、前記絶縁性基板が低温焼成セラミック基板からなることを特徴とする薄膜キャパシタ素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、各種電子回路の中でも特に高周波回路に用いて好適な薄膜キャパシタ素子に関する。

【0002】

【従来の技術】

近年、集積回路技術の発達に伴って電子回路がますます小型化されており、絶縁性基板上に抵抗やコンデンサあるいはインダクタ等の回路素子を薄膜形成した小型の電子回路ユニットが提案されている。

【0003】

このような回路素子のうち、従来より知られている一般的な薄膜キャパシタ素子（薄膜コンデンサ）は、アルミナ基板上に下部電極と誘電体層および上部電極を順次積層することによって構成されている（例えば、特許文献 1 参照）。ここで、下部電極はアルミナ基板上に Cr や Cu 等をスパッタし、これを所望のパターン形状にエッチングして形成したものである。誘電体層は下部電極の上から SiO<sub>2</sub> 等をスパッタし、これを所望のパターン形状にエッチングして形成したも

のである。上部電極は誘電体層の上からCrやCu等をスパッタし、これを所望のパターン形状にエッチングして形成したものである。また、この薄膜キャパシタ素子を接地用コンデンサとして使用する場合は、薄膜キャパシタ素子の下部電極と上部電極のいずれか一方をアルミナ基板の外縁部まで引き廻し、これをアルミナ基板の裏面に形成したグランド電極に端面電極を介して接続するという手法が採られている。

#### 【0004】

##### 【特許文献1】

特開2001-339243号公報（第5-6頁、図8）

#### 【0005】

##### 【発明が解決しようとする課題】

ところで、前述した従来例では、アルミナ基板の表面に形成された薄膜キャパシタ素子を裏面のグランド電極に接続するのに所定長さの引き廻しパターンを必要とするため、この引き廻しパターンによってインダクタンス成分が多くなり、高周波回路に使用した場合にインピーダンスロスが増加するという問題を有している。そこで近年、アルミナ基板に設けられたビアホールを利用して、下部電極と上部電極のいずれか一方をグランド電極に接続するようにした薄膜キャパシタ素子が提案されている。

#### 【0006】

図5はかかる薄膜キャパシタ素子の平面図、図6は図5のVI-VI線に沿う断面図であり、これらの図に示すように、アルミナ基板10に設けられたビアホール10aにはAgペースト等の導電材11が充填され、この導電材11の下端はアルミナ基板10の裏面に形成されたグランド電極12に導通している。アルミナ基板10の表面に形成された薄膜キャパシタ素子は、前述した従来例と同様に、下部電極13と誘電体層14および上部電極15の積層構造からなり、この積層構造から外れた位置で下部電極13は導電材11の上端に導通している。

#### 【0007】

このように構成された薄膜キャパシタ素子では、下部電極13がビアホール10a内に充填された導電材11を介してグランド電極12に接続されるため、長

尺な引き廻しパターンを用いた場合に比べるとインダクタンス成分をある程度は少なくすることができる。しかしながら、Agペースト等からなる導電材11の端面はアルミナ基板10の表面に比べて平坦度が著しく悪いため、下部電極13と導電材11の導通箇所をキャパシタの容量値を規定する上部電極15との重なり部分から十分に離す必要があり、この間のリード部分の長さによってインダクタンス成分のさらなる低減化が妨げられるという問題があった。

#### 【0008】

本発明は、このような従来技術の実情に鑑みてなされたもので、その目的は、ビアホールに接続する間のインダクタンス成分を少なくすることができる薄膜キャパシタ素子を提供することにある。

#### 【0009】

##### 【課題を解決するための手段】

上記の目的を達成するために、本発明の薄膜キャパシタ素子では、内部に導電材が充填されたビアホールを有する絶縁性基板と、この絶縁性基板上に順次積層された下部電極と誘電体層および上部電極とを備え、前記下部電極と上部電極のいずれか一方を前記導電材の端面に接続すると共に、前記誘電体層を前記ビアホールを包囲するように環状に形成した。

#### 【0010】

このように構成された薄膜キャパシタ素子では、誘電体層がビアホールを包囲するように環状に形成されているので、キャパシタの容量値を規定する上部電極と下部電極との重なり部分からビアホールまでの距離が短くなり、ビアホールに接続する間のインダクタンス成分を少なくすることができる。

#### 【0011】

上記の構成において、誘電体層をビアホールを中心とする円環状に形成すると、キャパシタの容量値を規定する上部電極と下部電極との重なり部分からビアホールまでの距離が円周方向に沿って全ての部位で同じになるため、より好ましい。

#### 【0012】

また、上記の構成において、絶縁性基板としてアルミナ基板を用いてもよいが

、アルミナ基板に比べて表面の平滑度に優れた低温焼成セラミック基板が好ましく、特に、ビアホールを有する低温焼成セラミックを必要層数重ねた低温焼成多層セラミック基板（LTCC=Low Temperature Co-fired Ceramics）が好ましい。

#### 【0013】

##### 【発明の実施の形態】

発明の実施の形態について図面を参照して説明すると、図1は本発明の第1実施形態例に係る薄膜キャパシタ素子の平面図、図2は図1のII-II線に沿う断面図である。

#### 【0014】

図1と図2に示すように、本実施形態例に係る薄膜キャパシタ素子は、ビアホール1aを有する絶縁性基板1上に順次積層された下部電極2と誘電体層3および上部電極4とで構成されており、ビアホール1a内に充填された導電材5の上下両端は、絶縁性基板1の表面側の下部電極2と裏面側のグランド電極6にそれぞれ導通されている。

#### 【0015】

絶縁性基板1は例えばセラミックに結晶化ガラスを混入した低温焼成セラミック基板からなり、これらの材料を混合して得られるグリーンシートを900℃前後で焼成することにより形成される。導電材5はAgやAuあるいはAg/Pd等からなり、本実施形態例の場合は、グリーンシートに明けられたビアホール1aにAgペーストを充填し、このAgペーストをグリーンシートと同時に焼成することにより得られる。このように、低温焼成セラミック基板は、グリーンシートの焼成時にビアホール1a内の導電材5も同時に焼成できるという利点を有し、また、混入されたガラスにより焼成後の表面粗度を小さくできる（Ra≒12.5nm）という利点を有する。

#### 【0016】

下部電極2は絶縁性基板1上にCrやCu等をスパッタし、これを円形状にエッチングして薄膜形成したものであり、導電材5の上端は下部電極2の中心位置で該下部電極2の下面に接続されている。この場合、前述したように、絶縁性基



板（低温焼成セラミック基板）1は表面の平滑度に優れたものであるから、表面研磨を施さなくても下部電極2を形成できるが、必要に応じて絶縁性基板1の表面を研磨した後に下部電極2を形成してもよい。誘電体層3は下部電極2の上から $\text{SiO}_2$ 等をスパッタし、これを円環状にエッチングして薄膜形成したものであり、下部電極2は誘電体層3の内周縁から露出する円形状のリード部2aを有している。誘電体層3の外周縁には下部電極2の側面を通して絶縁性基板1上に達する段部3aが形成されており、また、誘電体層3の内周縁の中心に導電材5が位置している。上部電極4は誘電体層3の上からCrやCu等をスパッタし、これを円環状にエッチングして薄膜形成したものである。上部電極4は誘電体層3の段部3aを通して絶縁性基板1上まで延びるリード部4aを有し、このリード部4aは図示せぬ他の回路素子や引き廻しパターン等に接続されている。

#### 【0017】

グランド電極6は絶縁性基板1の裏面にCrやCu等をスパッタし、これを所望形状にエッチングして薄膜形成したものであり、導電材5の下端はこのグランド電極6に接続されている。なお、絶縁性基板（低温焼成セラミック基板）1を形成する際に、グリーンシートの裏面にAgやAuあるいはAg/Pd等の導電ペーストを印刷し、これを焼成することによってグランド電極6を形成することも可能であり、この場合、グリーンシートの焼成時にビアホール1a（導電材5）とグランド電極6を同時に形成できるという製造上の利点を有する。

#### 【0018】

このように構成された薄膜キャパシタ素子においては、キャパシタの容量値が誘電体層3を介して対向する下部電極2と上部電極4の重なり部分によって規定されると共に、誘電体層3と上部電極4の内周縁から内方へ露出する部分の下部電極2がリード部2aとなり、このリード部2aが導電材5を介してグランド電極6に接続された接地用コンデンサとなっている。ここで、薄膜キャパシタ素子の誘電体層3がビアホール1a（導電材5）を中心とする円環状に形成されているので、下部電極2と上部電極4の重なり部分からビアホール1aまでのリード間距離が円周方向の全てに亘って短くなり、その結果、薄膜キャパシタ素子とビアホール1aとを接続する下部電極2のリード部2aのインダクタンス成分が非

常に少なくなり、高周波回路に適用した場合のインピーダンスロスを大幅に低減することができる。

#### 【0019】

図3は本発明の第2実施形態例に係る薄膜キャパシタ素子の平面図、図4は図3のIV-IV線に沿う断面図であり、図1, 2に対応する部分には同一符号を付してある。

#### 【0020】

本実施形態例が前述した第1実施形態例と相違する点は、薄膜キャパシタ素子の下部電極2と上部電極4のうち、上部電極4のリード部4aを導電材5を介してグランド電極6に接続したことにより、それ以外の構成は基本的に同じである。すなわち、第2実施形態例に係る薄膜キャパシタ素子は、円環状の誘電体層3を介して対向する下部電極2と上部電極4の重なり部分によってキャパシタの容量値が規定されている点で第1実施形態例と共通しているが、第1実施形態例と反対に、下部電極2の外周縁から絶縁性基板1上まで延びるリード部2aが図示せぬ他の回路素子や引き廻しパターン等に接続されており、下部電極2と誘電体層3の内周縁から内方へ露出する上部電極4のリード部4aが導電材5を介してグランド電極6に接続された接地用コンデンサとなっている。

#### 【0021】

このように構成された薄膜キャパシタ素子においても、薄膜キャパシタ素子の誘電体層3がビアホール1a（導電材5）を中心とする円環状に形成されているので、下部電極2と上部電極4の重なり部分からビアホール1aまでのリード間距離が円周方向の全てに亘って短くなり、その結果、薄膜キャパシタ素子とビアホール1aとを接続する上部電極4のリード部4aのインダクタンス成分が非常に少なくなり、高周波回路に適用した場合のインピーダンスロスを大幅に低減することができる。

#### 【0022】

なお、上記各実施形態例では、単層の絶縁性基板に形成された薄膜キャパシタ素子を例示して説明したが、このような薄膜キャパシタ素子を低温焼成多層セラミック基板（LTCC）に適用すれば、高密度実装の電子回路モジュールを実現

できて好ましい。

#### 【0023】

また、上記各実施形態例では、薄膜キャパシタ素子の誘電体層を円環状に形成した場合について説明したが、この誘電体層はビアホールを包囲するように環状に形成されていれば、外周縁の平面形状が四角形や六角形等の多角形状であってもよい。

#### 【0024】

##### 【発明の効果】

本発明は、以上説明したような形態で実施され、以下に記載されるような効果を奏する。

#### 【0025】

薄膜キャパシタ素子の下部電極と上部電極のいずれか一方をビアホール内に充填された導電材の端面に接続すると共に、誘電体層がビアホールを包囲するように環状に形成されているので、キャパシタの容量値を規定する上部電極と下部電極との重なり部分からビアホールまでの距離が短くなり、ビアホールに接続する間のインダクタンス成分を少なくすることができる。

##### 【図面の簡単な説明】

#### 【図1】

本発明の第1実施形態例に係る薄膜キャパシタ素子の平面図である。

#### 【図2】

図1のII-II線に沿う断面図である。

#### 【図3】

本発明の第2実施形態例に係る薄膜キャパシタ素子の平面図である。

#### 【図4】

図3のIV-IV線に沿う断面図である。

#### 【図5】

従来例に係る薄膜キャパシタ素子の平面図である。

#### 【図6】

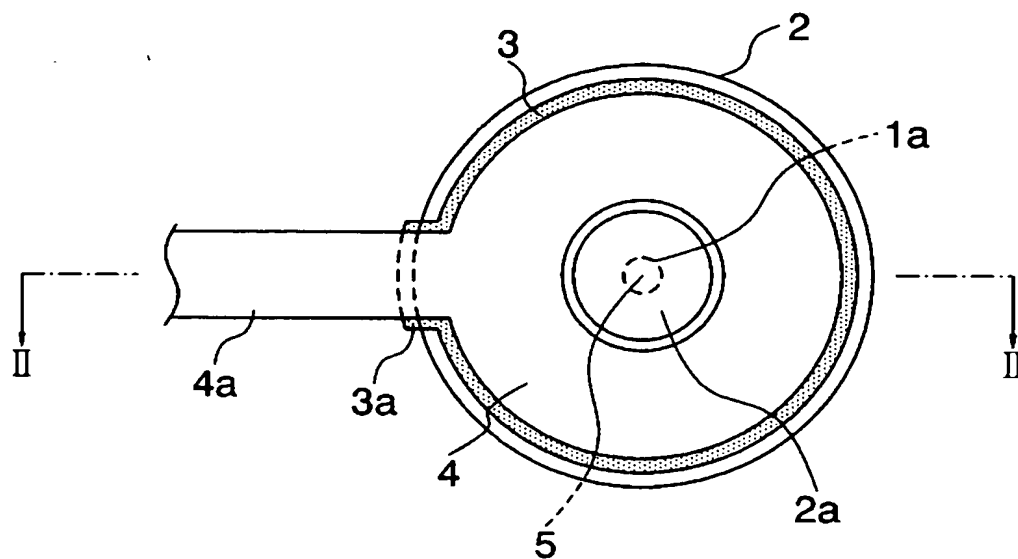
図5のVI-VI線に沿う断面図である。

【符号の説明】

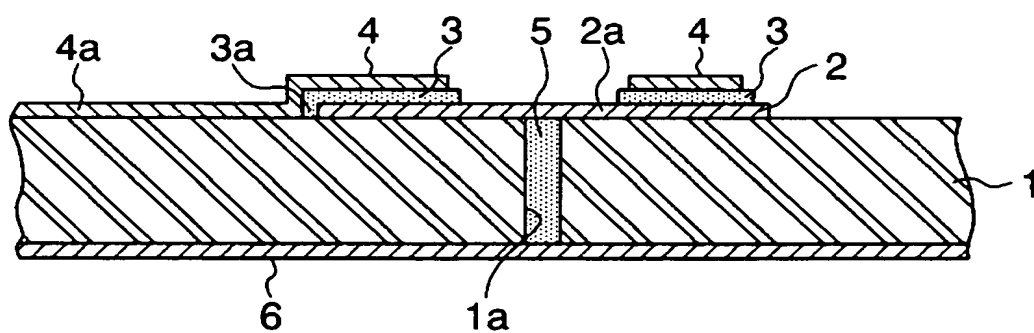
- 1 絶縁性基板
- 1 a ビアホール
- 2 下部電極
- 2 a リード部
- 3 誘電体層
- 4 上部電極
- 4 a リード部
- 5 導電材
- 6 グランド電極

【書類名】 図面

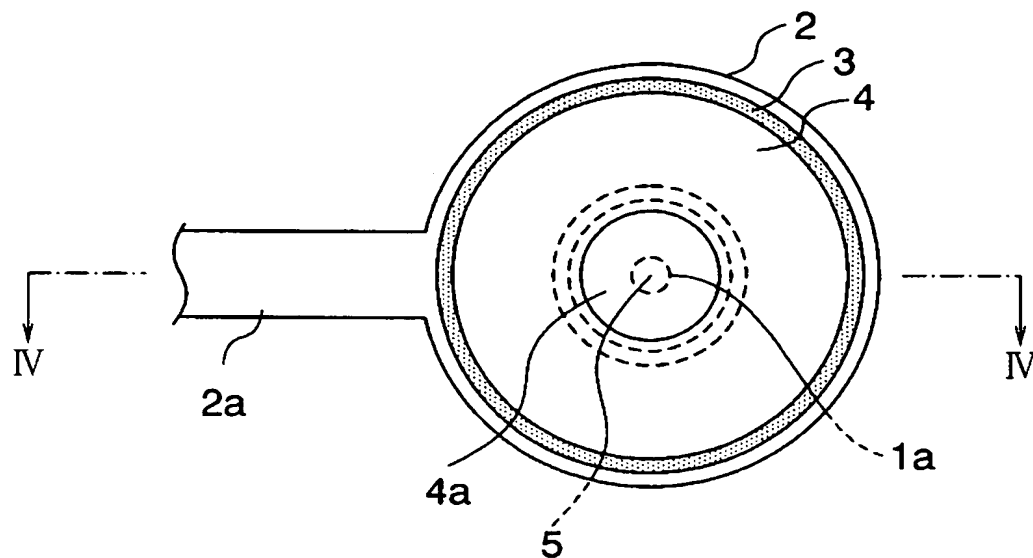
【図 1】



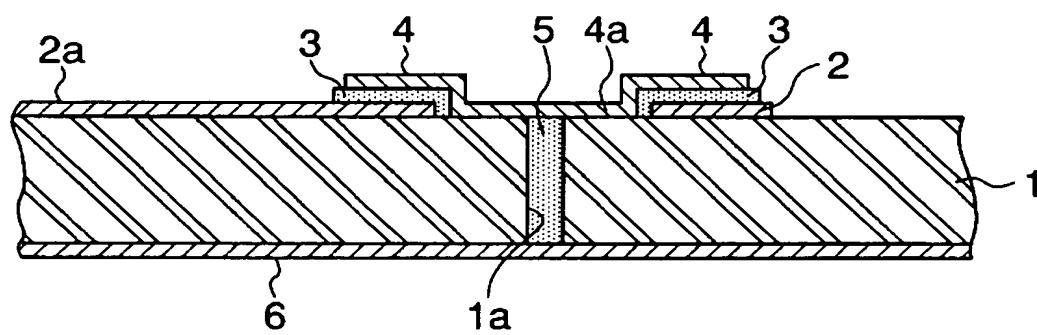
【図 2】



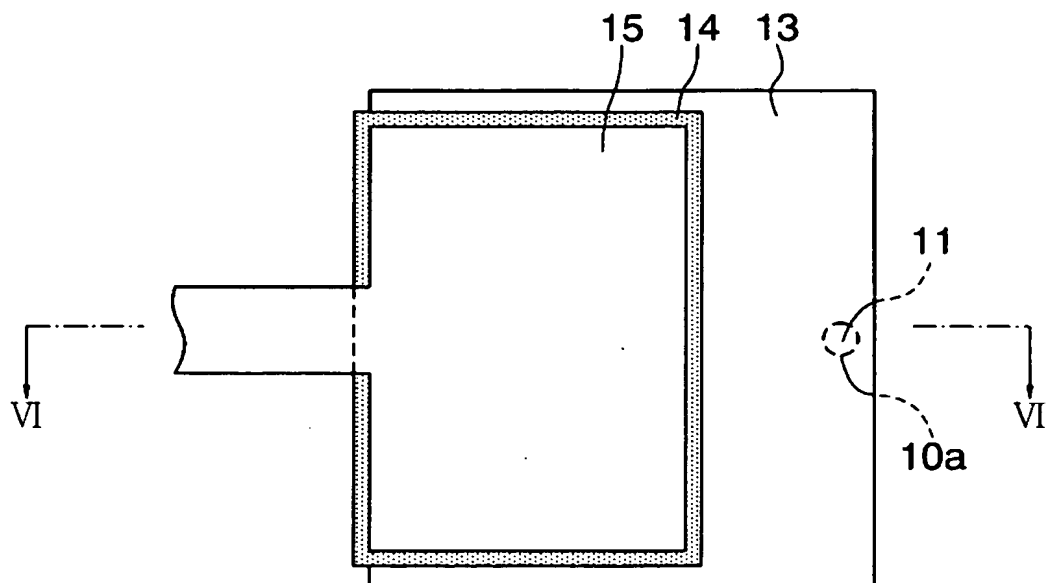
【図 3】



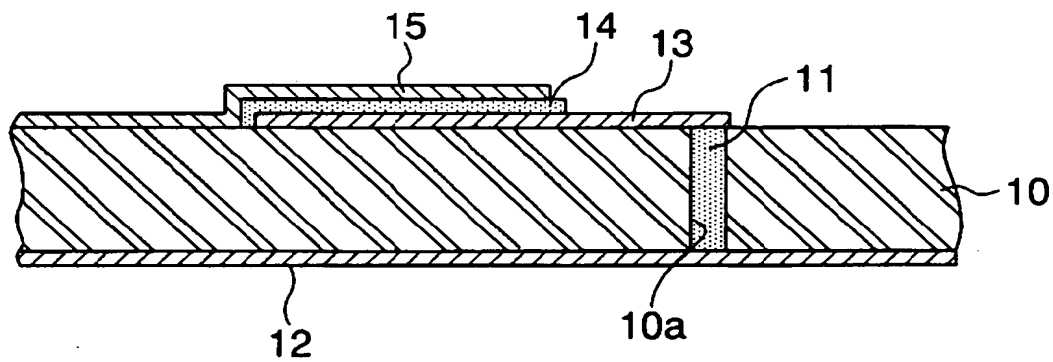
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 絶縁性基板のビアホールを介してグラウンド電極等に接続される薄膜キャパシタ素子において、ビアホールに接続するリード部のインダクタンス成分を少なくすること。

【解決手段】 低温焼成セラミック基板からなる絶縁性基板 1 のビアホール 1 a 内に A g 等の導電材 5 を充填し、この絶縁性基板 1 上に下部電極 2 と誘電体層 3 および上部電極 4 を薄膜形成することにより、キャパシタの容量値が誘電体層 3 を介して対向する下部電極 2 と上部電極 4 の重なり部分によって規定された薄膜キャパシタ素子を形成した。ここで、誘電体層 3 をビアホール 1 a (導電材 5) を中心とする円環状に形成すると共に、誘電体層 3 の内周縁から内方へ露出する部分を下部電極 2 のリード部 2 a となし、このリード部 2 a を導電材 5 を介して絶縁性基板 1 裏面のグラウンド電極 6 に接続した。

【選択図】 図 2



特願 2 0 0 2 - 3 1 2 8 1 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 1 0 0 9 8 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 7 日

[変更理由]

新規登録

住 所

東京都大田区雪谷大塚町 1 番 7 号

氏 名

アルプス電気株式会社